

WRITING CIRCUIT TO MEMORY TO BE LIMITED WRITE FREQUENCY

Patent Number: JP4217053

Publication date: 1992-08-07

Inventor(s): SAITO KINYA

Applicant(s): FUJITSU LTD

Requested Patent: ☐ JP4217053

Application Number: JP19900403451 19901219

Priority Number(s):

IPC Classification: G06F12/16

EC Classification:

Equivalents:

Abstract

PURPOSE:To constitute the writing circuit so that write of data whose holding is desired does not become impossible, with regard to the writing circuit to a memory whose write frequency is limited, for deciding an updating state of information whose holding is necessary at the time of disconnection of a power source, and decreasing the write frequency.

CONSTITUTION:In the device for saving the information whose holding is necessary at the time of disconnection of a power source by using a nonvolatile memory 1 to which the write frequency is limited, the device is constituted so that a comparing means 2 for comparing the information set to the device, and the information stored in the nonvolatile memory, and a means 3 for sending out a write signal to the nonvolatile memory 1 by a noncoincidence signal sent out of the comparing means 2 are provided, and at the time of disconnection of the power source, in the case the information set to the device, and the information stored in the nonvolatile memory 1 are different, write of the information set to the device is executed to the nonvolatile memory 1.

Data supplied from the esp@cenet database - l2

(51) Int. Cl.⁴
G 0 6 F 1 2 / 1 6 . 3 1 0 M 7 6 2 9 - 5 8

F I

技術表示箇所

審査請求 未請求 請求項の数2(全5頁)

(21) 出願番号	特願平2-403451	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上八田中1015番地 青田 金弥
(22) 出版日	平成2年(1990)12月19日	(72) 発明者	神奈川県川崎市中原区上八田中1015番地 富士通株式会社内 (74) 代理人 井理士 井所 貞一

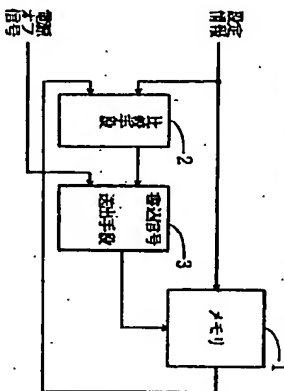
(54) [発明の名称] 書込回数が制限されたメモリに対する書込回路

(57) [要約]

[目的] 電源切断時に保持する必要がある情報の更新状態を判定して、書込回数を少なくする書込回路が制限されたメモリに対する送回路に關し、保持したいデータの書込みが不可能とならぬようにすることを目的とする。

[構成] 書込回数が制限のある不揮発性メモリ1を用いて、電源切断時に保持することが必要な情報を追進させる装置において、装置に設定された情報と、不揮発性メモリが記憶する情報とを比較する比較手段2と、比較手段2が送出する不一致信号により、不揮発性メモリ1に対する送回路に設定された情報と、不揮発性メモリ1の記憶する情報とが異なる場合に、不揮発性メモリ1に対して、装置に設定された情報の書込みを行うように構成する。

本発明の原理を説明するブロック図(代り1)



(特許請求の範囲)

[請求項1] 書込回数が制限のあるメモリ(1)を用いて、電源切断時に保持することが必要な情報を追進させる装置において、装置に設定された情報と、該メモリ(1)が記憶する情報とを比較する比較手段(2)と、該比較手段(2)が送出する不一致信号により、該メモリ(1)に対する送回路に設定された情報と、該メモリ(1)の記憶する情報とが異なる場合に、該メモリ(1)に対して、装置に設定された情報の書込みを行うことを特徴とする書込回路が制限されたメモリに対する書込回路。

[請求項2] 書込回数が制限のあるメモリ(1)を用いて、電源切断時に保持することが必要な情報を追進させる装置において、所定値以上の値と、該メモリ(1)が記憶する値とを比較する比較手段(2)と、該比較手段(2)が送出する不一致信号により、該メモリ(1)に対する送回路に設定された情報と、該メモリ(1)の記憶する値とを比較する比較手段(2)と、該比較手段(2)が送出する不一致信号により、該メモリ(1)に対して、装置に設定された情報の書込みを行うことを特徴とする書込回路が制限されたメモリに対する書込回路。

[発明の詳細な説明]

[0001] [産業上の利用分野] 本発明は電源の投入/切断が行われる装置に於いて、特に電源切断時に保持する必要がある情報の更新状態を判定して、書込回数を少なくする書込回路が制限されたメモリに対する送回路に關する。

[0002] 情報処理装置においては、電源が切断される場合、保持しておく必要がある情報は、不揮発性メモリに記憶させ、電源が投入されると、この不揮発性メモリに記憶させておいた情報を取出している。

[0003] ところで、電源の切断される回数が少ない装置においては、揮発性領域と不揮発性領域とを備え、この不揮発性領域に対する書込回数が制限されているNVRAMを使用し、電源が切断される際に、この保持しておく必要がある情報を、NVRAMの不揮発性領域から不揮発性領域に転送し、追進させているものがある。

[0004] しかしながら、前記の如き構成のNVRAMは書込回数が制限されているため、不揮発性領域に対する書込み回数は、随分少なくなる必要がある。

[0005] [従来の技術] 従来のNVRAMを使用する情報処理装置は、装置の電源が落ちる前に、電源装置から与えられる電源オフ信号によって、保持しておく必要がある情報をNVRAMの不揮発性領域に書込み、再び装置の電源が投入された時、このNVRAMが記憶している情報を取出して使用している。

(2)

特開平4-217053

[発明が解決しようとする課題] 上記の如く、従来は電源が切断される時は、無条件でNVRAMに書込みを行っていたため、電源の切断回数が多くなり、電源が切断される度に、NVRAMの不揮発性領域から不揮発性領域に保持しておく必要がある情報が転送されるため、NVRAMの書込回数の制限回数に達して、新たな情報を書込むことが出来ず、保持したい情報を追進させることが出来なくなるといふ問題がある。

[0007] 本発明はこのような問題点を鑑み、内容の変化することのない設定情報は、電源切断時に変化していたのみ、NVRAMに書込むか、又は、情報が低レベルで良いものは記憶を整理して、電源切断時に規定値以上の値に変化があった場合に、NVRAMに書込むようにして、随分書込回数を減少させることを目的としている。

[0008]

[課題を解決するための手段] 図1と図2は本発明の原理を説明するブロック図である。図1において、電源切断時に保持することが必要な情報を追進させる装置は、書込回数が制限のあるメモリ1と、装置に設定された情報とメモリ1が記憶する情報とを比較する比較手段2と、この比較手段2が送出する不一致信号により、このメモリ1に対する送回路に設定された情報の書込みを行う手段3とを備えている。

[0009] そして、メモリ1と比較手段2には、設定情報が入り、電源切断時には、送回路送出手段3に電源オフ信号が入り、比較手段2は、装置に設定された情報と、メモリ1の記憶する情報とが異なる場合に、送回路送出手段3に不一致信号を送出する。

[0010] 従って、送回路送出手段3は電源オフ信号と不一致信号とに基づき、送回路送出手段3に対して送出し、装置に設定された情報の書込みを行わせる。

又、図2において、電源切断時に保持することが必要な情報を追進させる装置は、書込回数が制限のあるメモリ1と、所定値以上の値とメモリ1が記憶する値とを比較する比較手段2と、この比較手段2が送出する不一致信号により、メモリ1に対する送回路に設定された送回路送出手段3と、所定値より小さい値を送出するか、又はは切替えることにより、所定値以上の値を更新する制御手段4とを備えている。

[0011] そして、制御手段4には、入力値が入り、この入力値は制御手段4により、所定値より小さい値は切上げられるか、又は切下げられることにより、所定値以上の値が更新される。

[0012] そして、比較手段2には、制御手段4が更新した値が入り、ここでメモリ1が記憶している値と比較され、一致しない時は不一致信号が、送回路送出手段3に送出される。

[0013] 又、電源切断時に、書込信号送出手段3に電源オフ信号が入り、書込信号送出手段3は電源オフ信

“1”を送出している場合は、不揮発性メモリ9に番込番号を送出し、比較回路7が論理“0”を送出している場合は、不揮発性メモリ9に番込番号を送出しない。

【0032】従って、電源切断時に、不揮発性メモリ9に番込されたデータは、一致すればステップ(9)で不揮発性メモリ9に対する番込停止番号が送出される。そして、ステップ(6)で電源切断されたメモリ9に対する番込停止番号が送出される。そして、ステップ(8)で電源停止により動作を終了する。

【0024】又、ステップ(4)で比較結果が一致しなければ、ステップ(5)で不揮発性メモリ9に対する番込許可番号が送出される。そして、ステップ(6)で電源切断されたメモリ9に新たな設定情報が番込まれ、ステップ(8)で電源停止により動作を終了する。

【0025】図5は本発明の他の実施例を示す回路のブロック図である。図示省略した電源装置に電源が投入されると、この電源装置から送出される直流電圧が所定の電圧になった時、動作可能を通知する電源オン信号が送出され、不揮発性メモリ9に送出番号として供給される。

【0026】従って、不揮発性メモリ9から送出されたデータは、レジスタ6に記憶され、この記憶されたデータはカウンタ12と比較回路7に送出される。カウンタ12はレジスタ6が送出するデータがプリセット値となつてセットされる。そして、例えば、磁気テープ装置であれば、磁気テープの走査量が入力値となつてカウンタ12に入り、カウンタ12によって、プリセット値よりカウントされることにより、磁気テープの全走査量がカウントされ、このカウントされた値はレジスタ5に送出されて記憶される。

【0027】電源装置に供給されている交流電圧が低下し、電源切断と判定されると、電源装置から電源オフ信号として論理“1”が、AND回路8とプロセッサ11に入る。

【0028】前記の磁気テープの走査量は、磁気ヘッドの清掃間隔を決定する際の目安に使用され、所定値以上の走査量によって決定される。従って、プロセッサ11は電源オフ信号の論理“1”が入ると、レジスタ5のカウント値を読み取り、所定値、例えば1000mより小さい値を四捨五入によって切上げるか、又は切捨てて整理し、レジスタ10に番込む。

【0029】比較回路7はレジスタ6の記憶内容、レジスタ10の記憶内容とを常時比較しており、一致すれば一致信号として論理“1”をAND回路8に送出し、一致しなければ論理“1”をAND回路8に送出する。

【0030】従って、不揮発性メモリ9の記憶しているデータ、即ち、所定値以上の値と、レジスタ10より番込まれたデータ、即ち、所定値以上の値とが一致している時は、比較回路7から論理“0”が、AND回路8に送出され、一致しない時は、論理“1”がAND回路8に送出される。

【0031】従って、AND回路8は比較回路7が論理

により動作を終了する。

【0037】

【発明の効果】以上説明した如く、本発明は電源切断時に不揮発性メモリ9に番込されたデータは、一致すれば所定値以上の値が変化した場合においてのみ、情報の番込みを行うので、番込回数の制限に達するまでの時間が長くなり、電源切断時に保持したい情報の遺漏が不可能となる状態を防止することが出来る。

【図面の簡単な説明】

【図1】 本発明の原理を説明するブロック図 (その1)

【図2】 本発明の原理を説明するブロック図 (その2)

【図3】 本発明の実施例を示す回路のブロック図

【図4】 図3の動作を説明するフローチャート

【図5】 本発明の他の実施例を示す回路のブロック図

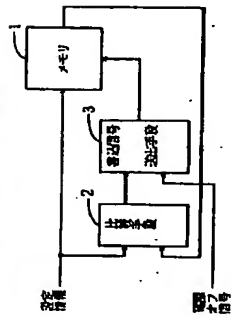
【図6】 図5の動作を説明するフローチャート

【符号の説明】

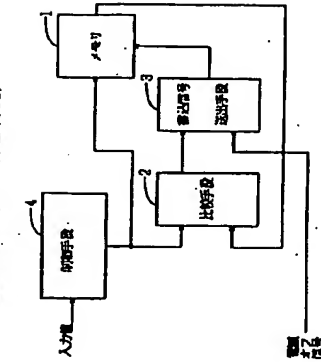
- 1 メモリ
- 2 比較手段
- 3 番込信号送出手段
- 4 制御手段
- 5, 6, 10 レジスタ
- 7 比較回路
- 8 AND回路
- 9 不揮発性メモリ
- 11 プロセッサ
- 12 カウンタ

【図1】

本発明の原理を説明するブロック図 (その1)



本発明の原理を説明するブロック図 (その2)



号と不一致番号に基づき、番込番号をメモリ1に対して送出する。

【0014】従って、制御手段4が送出する所定値以上の値が、メモリ1の記憶値と異なる場合は、メモリ1に対して、この所定値以上の値の番込みが行われる。

【0015】

【作用】上記の如く構成することにより、メモリ1には、電源切断時に無条件で情報の番込みが行われるのではなく、設定情報が異なる時、又は所定値以上の値が変化した場合においてのみ、情報の番込みが行われるため、番込み頻度が低下して、番込回数の制限に達するまでの時間が長くなり、電源切断時に保持したい情報の遺漏が不可能となる状態を防止することが出来る。

【0016】

【実施例】図3は本発明の実施例を示す回路のブロック図である。レジスタ5と不揮発性メモリ9には、例えば、図示省略したスイッチ等から一旦設定された後は、余り変更されることが無い磁気テープの設定情報が入り、又、図示省略した電源装置に電源が投入されると、この電源装置から送出される直流電圧が所定の電圧になった時、動作可能を通知する電源オン信号が送出され、不揮発性メモリ9に送出番号として供給される。

【0017】レジスタ5は入力した設定情報を記憶する。この記憶した設定情報を比較回路7に送出し、レジスタ6は不揮発性メモリ9から送出された設定情報を記憶し、この記憶した設定情報を比較回路7に送出する。

【0018】比較回路7はレジスタ5と6の内容を常時比較しており、一致すれば一致信号として論理“0”をAND回路8に送出し、一致しなければ論理“1”をAND回路8に送出する。

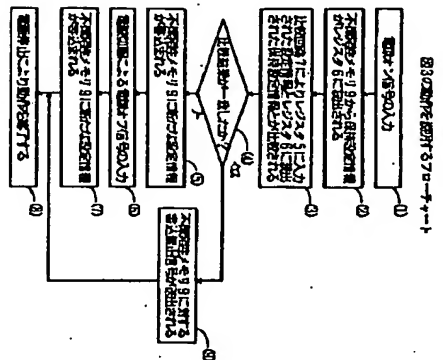
【0019】従って、不揮発性メモリ9の記憶している設定情報と、入力する設定情報とが一致している時は、比較回路7から論理“0”がAND回路8に送出されており、入力する設定情報が変更されると、論理“1”がAND回路8に送出されている。

【0020】電源装置に供給されている交流電圧が低下し、電源切断と判定されると、電源装置から電源オフ信号として論理“1”がAND回路8に入る。従って、AND回路8は比較回路7が論理“1”を送出している場合は、不揮発性メモリ9に番込番号を送出し、比較回路7が論理“0”を送出している場合は、不揮発性メモリ9に番込番号を送出しない。

【0021】従って、電源切断時に、不揮発性メモリ9に対する番込動作は、入力する設定情報が変更になった時のみ実行される。図4は図3の動作を説明するフローチャートである。

【0022】ステップ(1)で電源投入に伴う電源オン信号が入力すると、ステップ(2)で不揮発性メモリ9から保持設定情報がレジスタ6に送出される。そして、ステップ(3)で比較回路7により、レジスタ5に入力された

【図4】



[REDACTED]

